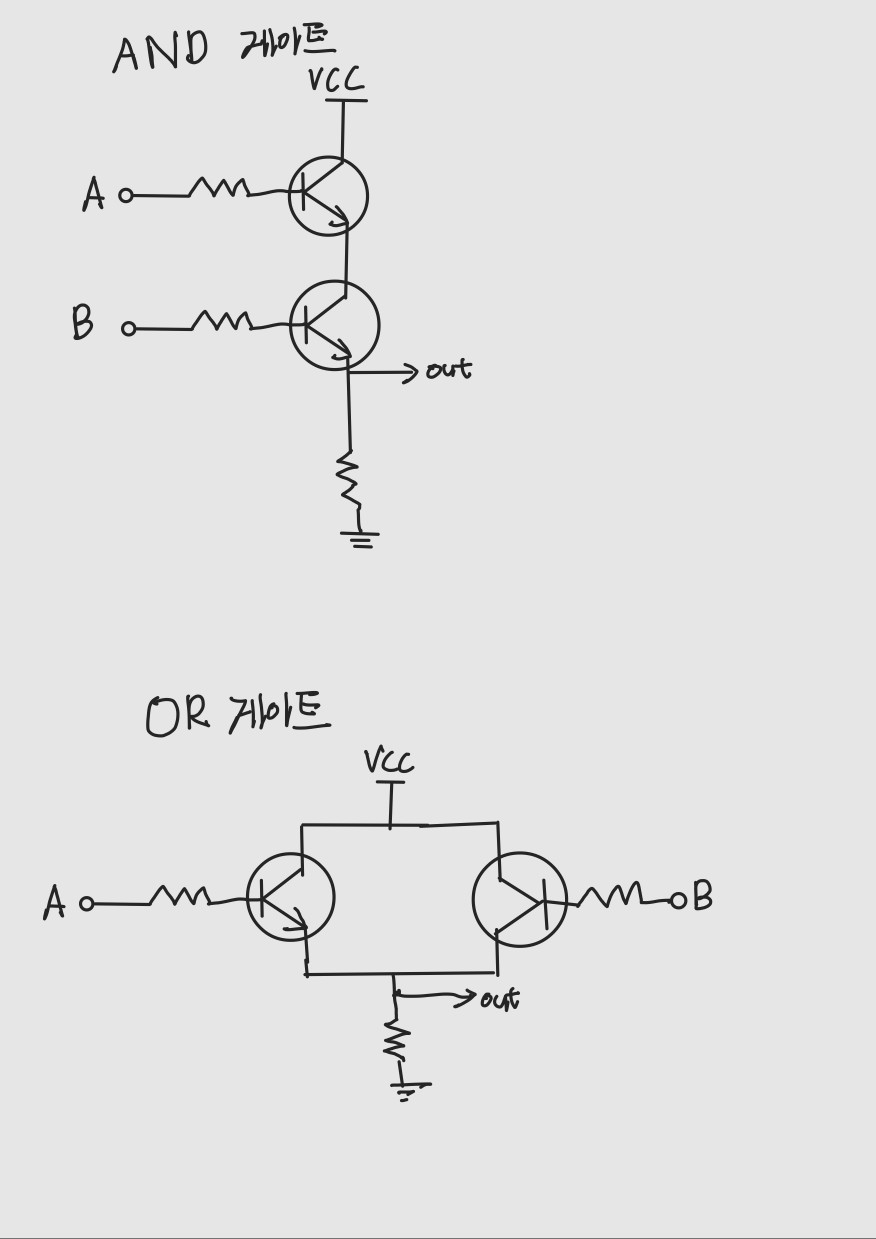
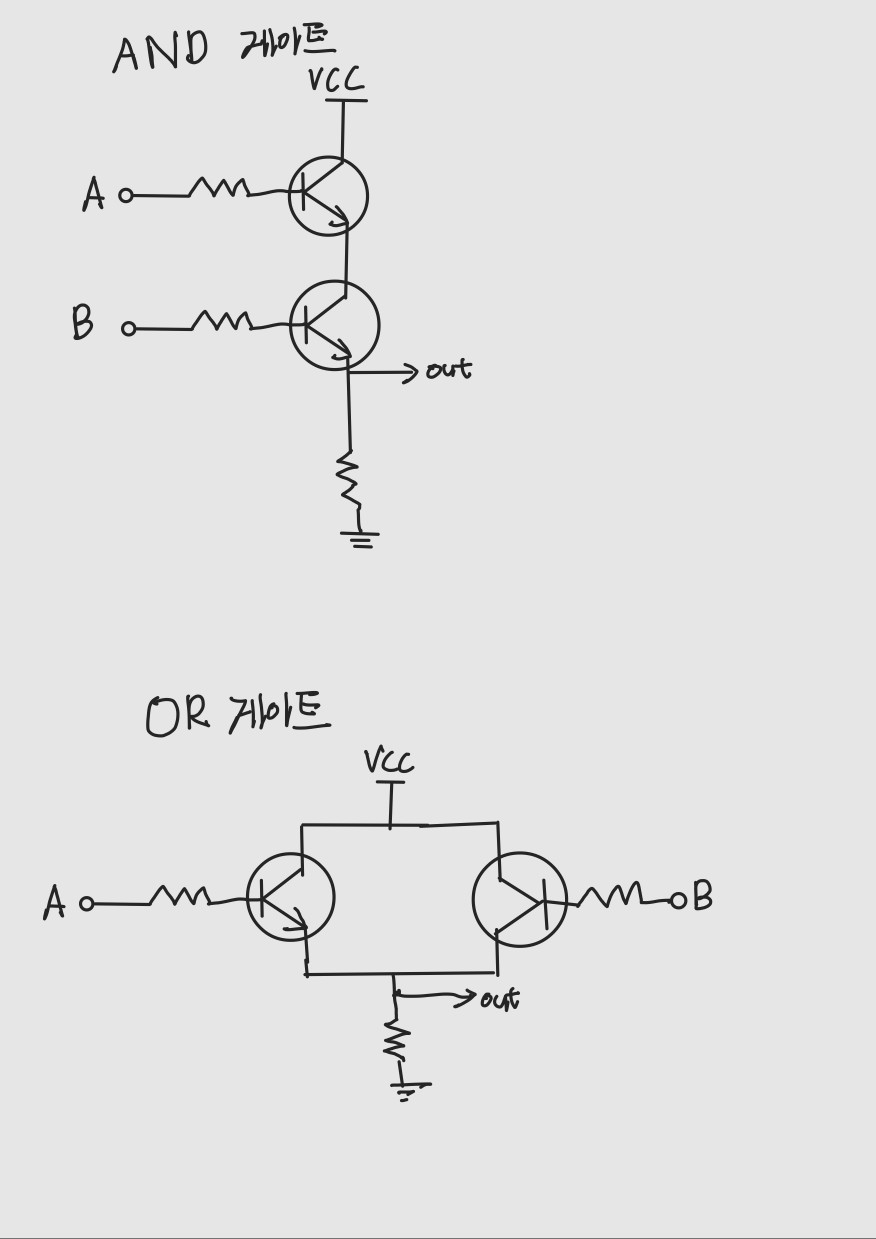
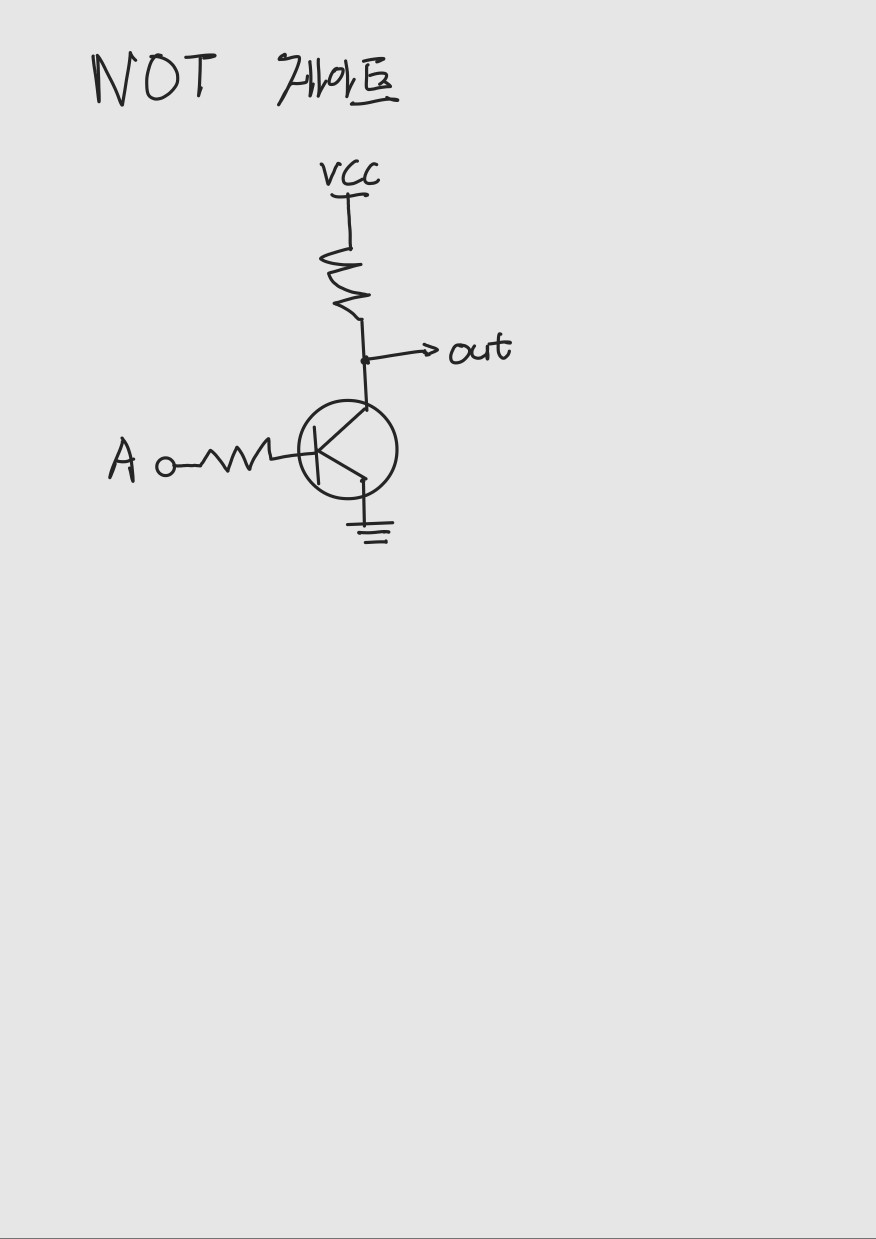
3주차 예비보고서

전공: 아트앤테크놀로지 학년: 3학년 학번: 20191098 이름: 백승주

**1.**

AND/OR/NOT 논리 게이트의 Transistor-Level 구조

****

****

**2.**

**2-1. AND의 Logic 특성**

AND 게이트는 2개 이상의 입력 값을 받고 하나의 출력 값을 반환해주는 게이트다. 입력 값에 따른 결과값을 정리해보면 다음과 같다.   
1) 입력한 값이 모두 0일 경우 : 결과값으로 0을 출력한다.

2) 입력 값이 모두 1일 경우 : 결과값으로 1을 출력한다.

3) 입력 값 중 0이 하나라도 존재할 경우 : 결과값으로 0을 출력한다.

**2-2. OR의 Logic 특성**

OR 게이트 역시 AND 게이트처럼 2개 이상의 입력 값을 받고 하나의 출력 값을 반환해주는 게이트다.   
1) 입력한 값이 모두 0일 경우 : 결과값으로 0을 출력한다.

2) 입력 값이 모두 1일 경우 : 결과값으로 1을 출력한다.

3) 입력 값 중 1이 하나라도 존재할 경우 : 결과값으로 1을 출력한다.

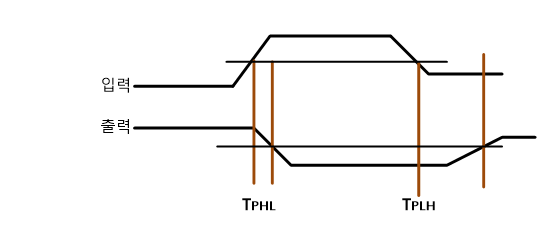
2-3. NOT의 Logic 특성

NOT 게이트는 입력 값을 하나만 받고 그와 반대되는 신호를 출력 값으로 반환해주는 게이트다.  
1) 입력한 값이 0일 경우 : 결과값으로 1을 출력한다.

2) 입력 값이 1일 경우 : 결과값으로 0을 출력한다.

**3.** Fan-out은 어떤 논리 게이트의 출력 값이 얼마나 많이 다른 게이트의 입력 값으로 사용되는지를 나타내는 용어다. Fan-out이 크다는 것은 다른 논리 게이트의 입력 값으로 어떤 게이트의 출력 값이 많이 사용된다는 것을 의미한다. Fan-out이 지나치게 클 경우 게이트의 신호가 올바르게 전달되지 않거나 회로가 손상되는 일이 발생할 수 있다. 따라서 회로가 복잡해 질수록 회로의 Fan-out을 파악하며 그 크기를 조절해야 한다.

**4.** 전파 지연(Propagation Delay)은 논리 게이트에 신호 값이 입력된 후 출력 값으로 변화되어 나올 때까지 걸리는 평균적인 시간을 의미한다. 전파 지연의 원인은 두 가지로 신호가 0에서 1 또는 1에서 0으로 바뀔 때 생기는 지연과 전파가 회로를 통과하며 생기는 물리적인 시간에서 나오는 지연이다.



전파 지연 시간은 다음과 같은 식으로 계산할 수 있다.

TPD = (TPHL + TPLH) \* 1/2

여기서 TPHL (Propagation delay time from high to low)은 입력 값에 의해 출력 값이 1에서 0으로 변화하기까지 걸리는 시간을 의미하며 TPLH(Propagation delay time from low to high)은 입력 값에 의해 출력 값이 0에서 1로 변화하기까지 걸리는 시간을 의미한다.

회로를 구성하는 게이트의 개수가 늘어날수록 전파 지연 시간이 증가하기 때문에 이를고려하며 논리 회로를 구성해야 한다.

**5.** C언어에서 function을 사용해서 같은 코드의 반복을 줄이는 것처럼 Verilog에서는 task

와 function을 이용해 가독성을 높이고 코드의 반복을 줄일 수 있다.

**5-1.** **Verilog의 task**

Task로 시작해 endtask로 끝나는 task는 내부에서 다른 task와 function이 사용 가능하고 delay, timing, event와 같은 제어 구문들을 사용할 수 있다는 특징이 있다. 또한 input, output과 같은 인수를 가질 수도 있고 가지지 않을 수도 있으며 non-zero 시뮬레이션 time에도 실행가능한 task의 형식은 다음과 같다.

*task 이름;*

*input x;*

*output y;*

*begin*

*구문*

*End*

*endtesk*

**5-1.** **Verilog의 function**

task처럼 function으로 시작해 endfunction으로 끝나는 function은 task와 달리 delay,time, event와 제어 구문들을 사용할 수 없고 내부에서 다른 task와 function 사용이 불가능하다. 또한 적어도 하나의 인수를 가져야 하고 단 하나의 retrun값만 가지며 항상 zero 시뮬레이션 타임에서만 실행한다. 이러한 function의 Verilog 내에서의 형식은 다음과 같다.

*function 함수이름;*

*input x;*

*begin*

*end*

*endfunction*